

⑫ 公開特許公報(A)

昭62-155568

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)7月10日

H 01 L 29/78

G 11 C 17/00

H 01 L 27/10

3 0 9

7514-5F

6549-5B

7735-5F

審査請求 未請求 発明の数 1 (全12頁)

⑬ 発明の名称 不揮発性半導体記憶装置

⑰ 特 願 昭60-296912

⑱ 出 願 昭60(1985)12月27日

⑲ 発 明 者 小 山 昌 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

置。

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

複数の不揮発性メモリ素子を直列に接続した列と、前記不揮発性メモリ素子と同数の電荷注入型半導体素子をその電荷注入領域を共通に接続して前記不揮発性メモリ素子の列と平行に配置しかつ1対1対応する前記不揮発性メモリ素子の浮遊ゲートと前記電荷注入型半導体素子の浮遊ゲートとを接続した列とからなる記憶セルを行列に配置し、前記記憶セルと読出し書き込み用ビット線との間に該読出し書き込み用ビット線と前記不揮発性メモリ素子及び又は前記電荷注入領域との接続を読出し書き込み用選択信号によって制御する選択回路を配置し、前記不揮発性メモリ素子の制御ゲートを行ごとと共通に接続してこれを素子選択用アドレス線としたことを特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は不揮発性半導体記憶装置に関し、特に電氣的消去可能型PROMを含む不揮発性半導体記憶装置に関する。

(従来の技術)

従来から種々の不揮発性半導体記憶装置が研究されているが、最近では、そのうちの電氣的消去可能型PROM(以下EEPROMと称す)の開発が急速に進み各種の製品が実用化されるようになった。

これらEEPROMにはいろいろの構造のものが考えられているが、最も一般的でかつ信頼性の高いといわれるものは薄い絶縁膜中のファウラー・ノルトハイム(Fowler-Nordheim)のトンネル現象を利用し、浮遊ゲート中に電荷を蓄積する型のメモリトランジスタを記憶素子として使用するEEPROMである(米国特許第4203158号参照)。

この型のメモリトランジスタは浮遊ゲート中の電荷の極性や量等によってしきい電圧 V_T が変化し、この変化を利用して2進情報の「1」と「0」とを区別して記憶する。通常、しきい電圧 V_T はメモリトランジスタがエンハンスメント型乃至デプレッション型に変化するよう設定されるのが一般的である。

第9図は従来の不揮発性半導体記憶装置の一例の回路図、第10図は第9図に示す回路のFの部分を半導体基板に形成したものの断面図である。

第9図に示すように、従来の不揮発性半導体記憶装置の一例の回路は、記憶素子MNと読出し書き込み用選択トランジスタQNとを直列に接続したものを行列に配置し、読出し書き込み用選択トランジスタQNのドレインを読出し書き込み用ビット線YNに接続し、記憶素子MNのソースを行に配したソース線Sに接続し、読出し書き込み用選択トランジスタのゲートを行ごとに配した読出し書き込み用選択アドレス線Zと接続し、さらに記憶素子MNの制御ゲートを行ごとに接続しこれを素子選

択用アドレス線XNとした構成となっている。ここで、記憶素子MNと読出し書き込み用ビット線YNとの間に読出し書き込み用選択トランジスタQNを介在させた理由は読出し書き込みを選択的に行うことは勿論、デプレッション型になった非選択の記憶素子MNを介して流れる読出し書き込み用ビット線YNの寄生電流を遮断するためである。

第10図に示すように、第9図に示す回路を半導体基板に形成すると、行列の単位を構成するFの部分は、読出し書き込み用ビット線の電極41と接続した読出し書き込み用選択トランジスタのドレイン45と電荷注入領域46との間の半導体基板53の上部にゲート絶縁膜49を介して読出し書き込み用選択アドレス線42を設け、電荷注入領域46とトンネル絶縁膜50を介して結合した浮遊ゲート44を電荷注入領域46の一部と電荷注入領域46とソース領域47とに挟まれた半導体基板53を覆うように第1絶縁膜51を介して設け、さらに浮遊ゲート44の上部に第2絶縁膜52を介して素子選択用アドレス線43を設けこれを制

御ゲートとした構造をしている。

〔発明が解決しようとする問題点〕

上述した従来の不揮発性半導体記憶装置は、行列に配置した記憶セル1個に含まれる記憶素子の数が唯1個であり、しかも選択トランジスタが読出し用と書き込み用とを兼ねているので、次のような欠点がある。

- (1) 記憶素子1個に選択トランジスタ1個が付くために記憶素子以外の部分の占有面積の割合を小さくするには限界^かあり、したがって、高記憶密度を要求される大容量の不揮発性半導体記憶装置にはあまり向いていない。
- (2) 記憶内容を読出す時に、読出し書き込み用ビット線と素子選択用アドレス線にそれぞれ所定の電圧を印加し同時に読出し書き込み用選択トランジスタをオン状態にするので、記憶素子の電荷注入領域は、記憶素子がオン状態の時にはソース線と同電位に、記憶素子がオフ状態の時には読出し書き込み用ビット線の電位もしくは読出し書き込み用選択アドレス線、すなわち読出し書き

込み用選択トランジスタのゲートの電位からそのしきい電圧を減じた電位になる。その結果、読出し時に浮遊ゲートと電荷注入領域との間に電位差を生じ、誤動作すなわち好ましくない書き込み又は消去現象が起る可能性がある。

- (3) 書き込み時、特に記憶素子がデプレッション型すなわちノーマリオン状態になり、その時読出し書き込み用ビット線とソース線との間に電位差があると、記憶素子にチャネル電流が流れる。この種の電流は、記憶装置を低電圧源のみで駆動し、書き込み電圧を記憶装置の内部昇圧により作る場合には重大な問題となる。そのため従来は書き込み時にソース線を電源から切離す必要があった。

本発明の目的は、読出し時の誤動作による好ましくない書き込み又は消去現象を防止すると共に書き込み・消去時の不必要なチャネル電流を遮断するための回路を必要としない高記憶密度の不揮発性半導体記憶装置を提供することにある。

〔問題点を解決するための手段〕

本発明の不揮発性半導体記憶装置は、複数の不揮発性メモリ素子を直列に接続した列と、前記不揮発性メモリ素子と同数の電荷注入型半導体素子をその電荷注入領域を共通に接続して前記不揮発性メモリ素子の列と平行に配置しかつ1対1対応する前記不揮発性メモリ素子の浮遊ゲートと前記電荷注入型半導体素子の浮遊ゲートとを接続した列とからなる記憶セルを行列に配置し、前記記憶セルと読出し書き込み用ビット線との間に該読出し書き込み用ビット線と前記不揮発性メモリ素子及び又は前記電荷注入領域との接続を読出し書き込み用選択信号によって制御する選択回路を配置し、前記不揮発性メモリ素子の制御ゲートを行ごとに共通に接続してこれを素子選択用アドレス線としてなる。

〔実施例〕

次に、本発明の一実施例について図面を参照して説明する。

第1図は本発明の一実施例の回路図である。

第1図に示すように、この実施例の回路は、読

第2図は第1図に示す回路を半導体基板に形成したものものの平面図、第3図は第2図のA-A線断面図、第4図は第2図のB-B線断面図、第5図は第2図のC-C線断面図、第6図は第4図のE部を拡大した模式的断面図である。

第2図に示すように、本発明の一実施例の回路を半導体基板に形成した不揮発性半導体記憶装置は、半導体基板31の上部に第1絶縁膜を介して設けた浮遊ゲート25a、25b、25c及び25dを有する不揮発性メモリ素子を読出し用ビット線の電極21と接続した読出し用領域33をドレインとする読出し用選択トランジスタとソース領域27との間に接続領域32a、32b、32c及び32dを介して直列に接続し、電荷注入領域35の上部表面にトンネル絶縁膜26a、26b、26c及び26dを介して接続した不揮発性メモリ素子と共通の浮遊ゲート25a、25b、25c及び25dを有する電荷注入素子を書き込み用領域36をドレインとする書き込み用選択トランジスタを介して書き込み用ビット線の電極22と接

出し用選択トランジスタQとソース線Sとの間に4個の不揮発性メモリ素子を列に並べてこれを直列に接続し、不揮発性メモリ素子と同数の電荷注入型半導体素子をその電荷注入領域を共通に接続して不揮発性メモリ素子の列と平行に配置しかつ1対1対応する不揮発性メモリ素子の浮遊ゲートと電荷注入型半導体素子の浮遊ゲートとを接続し、行ごとに1対1対応する不揮発性メモリ素子1個と電荷注入型半導体素子1個とで記憶素子Mを構成し、4個の記憶素子Mの列を記憶セルRとしてこれを行列に配置し、不揮発性メモリ素子を読出し用選択トランジスタQを介して読出し用ビット線Yに接続し、電荷注入型半導体素子の電荷注入領域を書き込み用選択トランジスタPを介して書き込み用ビット線Wに接続し、読出し用選択トランジスタQのゲートと書き込み用選択トランジスタPのゲートとを行ごとに共通に接続してこれを読出し書き込み用選択アドレス線Zとし、不揮発性メモリ素子の制御ゲートを行ごとに接続しこれを素子選択用アドレス線Xとしてなる。

読出し用選択トランジスタのゲートと書き込み用選択トランジスタのゲートとを行ごとに共通に接続しこれを読出し書き込み用選択アドレス線23とし、浮遊ゲート25a、25b、25c及び25dの上部表面にそれぞれ第2絶縁膜を介して設けられた制御ゲートを行ごとに共通に接続してこれを素子選択用アドレス線24a、24b、24c及び24dとしてなる。

第3図に示すように、A-A線断面から見たこの不揮発性半導体記憶装置は、読出し用ビット線の電極21と接続した読出し用領域33と接続領域32aとに挟まれた半導体基板31の上部表面にゲート絶縁膜30を介して設けられた読出し書き込み用選択アドレス線23をゲートとする読出し用選択トランジスタとソース領域27との間に、半導体基板31の上部表面に第1絶縁膜28a、28b、28c及び28dを介して設けた浮遊ゲート25a、25b、25c及び25dを有し、その上部表面にそれぞれ第2絶縁膜29a、29b、29c及び29dを介して設けた素子選択用アド

レス線 24 a, 24 b, 24 c 及び 24 d を制御ゲートとする不揮発性メモリ素子を接続領域 32 a, 32 b, 32 c 及び 32 d を介して直列に接続した構造をしている。

第 4 図に示すように、B-B 線断面から見たこの不揮発性半導体記憶装置は、書き込み用ビット線の電極 22 と接続した書き込み用領域 36 と電荷注入領域 35 とに挟まれた半導体基板 31 の上部表面にゲート絶縁膜 39 を介して設けられた読出し書き込み用選択アドレス線 23 をゲートとする書き込み用選択トランジスタと、電荷注入領域 35 の上部表面に第 1 絶縁膜 37 a, 37 b, 37 c 及び 37 d を介して設けられしかも一部がトンネル絶縁膜 26 a, 26 b, 26 c 及び 26 d によって電荷注入領域 35 と結合した浮遊ゲート 25 a, 25 b, 25 c 及び 25 d を有しその上部表面にそれぞれ第 2 絶縁膜 38 a, 38 b, 38 c 及び 38 d を介して設けた素子選択用アドレス線 24 a, 24 b, 24 c 及び 24 d を制御ゲートとする電荷注入型半導体素子とが電荷注入領域 35 を介し

て接続した構造をしている。

第 5 図に示すように、C-C 線断面から見たこの不揮発性半導体記憶装置の記憶素子は、半導体基板 31 の上部表面に第 1 絶縁膜 28 a を介して設けられた浮遊ゲート 25 a を有しその上部表面に第 2 絶縁膜 29 a を介して設けられた素子選択用アドレス線 24 a を制御ゲートとする不揮発性メモリ素子と、電荷注入領域 35 の上部表面に第 1 絶縁膜 37 a を介して設けられしかも一部がトンネル絶縁膜 26 a を介して電荷注入領域 35 と結合した浮遊ゲート 25 a を有しその上部表面に第 2 絶縁膜 38 a を介して設けられた素子選択用アドレス線 24 a を制御ゲートとする電荷注入型半導体素子とが浮遊ゲート 25 a と素子選択用アドレス線 24 a を介して接続した複合型の素子構造をしている。

また、第 6 図に示すように、電荷注入型半導体素子の部分は、等価的に、電荷注入領域 35 を共通にして浮遊ゲート・電荷注入領域間容量 C_{F1} , C_{F2} , C_{F3} 及び C_{F4} と制御ゲート・浮遊ゲート間容

量 C_{C1} , C_{C2} , C_{C3} 及び C_{C4} とがそれぞれ直列に接続した個々の電荷注入型半導体素子の部分と電荷注入領域・半導体基板間容量 C_{DS} とが接続した形に表わすことができる。

次に、回路素子の極性を N チャネルとして、本発明の一実施例の駆動方法について表と図を参照して説明する。

第 1 表は第 1 図に示す回路の各駆動状態におけるアドレス線並びにビット線の信号レベル示した表である。

信号レベルを示す記号の意味は、読出し書き込み用アドレス線の H_z , L_z 及び H_z' , L_z' が読出し時の高、低レベル及び書き込み・消去時の高、低レベルをそれぞれ表し、素子選択用アドレス線 H_x , L_x 及び H_x' , L_x' が読出し時の高、低レベル及び書き込み・消去時の高、低レベルをそれぞれ表し、読出し用ビット線の H_y , L_y 及び開放が高、低レベル及び電源からの開放をそれぞれ表し、また書き込み用ビット線の H_w , L_w 及び開放が高、低レベル及び電源からの開放をそれぞれ表している。

表 1
駆 動 状 態

駆動状態 (記憶素子名)	読出し用 アドレス線	書き込み用 アドレス線	読出し用 ビット線	書き込み用 ビット線	電源
	Z_1	$X_{1,j+1}$	Y_k	W_k	W_{k+1}
読出し ($OM_{j+1,k}$)	H_z	H_x	H_y	放	放
書き込み ($OM_{j+1,k}$)	H_z'	H_x'	H_y 又は L_y 又は 放	放	放
消去 ($OM_{j+1,k}$)	H_z'	L_x	H_y 又は L_y 又は 放	放	放
複数ビット の消去 ($M_{j+1,k}$ 及び $M_{j+1,k+1}$)	H_z'	L_x	H_y 又は L_y 又は 放	放	放

また、読出し時における素子選択用アドレス線の信号レベルと記憶素子を構成する不揮発性メモリ素子のしきい電圧との関係は、素子選択用アドレス線の信号レベル H_X 及び L_X に対応する電圧をそれぞれ $V(H_X)$ 及び $V(L_X)$ とし、不揮発性メモリ素子の書き込み状態のしきい電圧及び消去状態のしきい電圧をそれぞれ V_{TW} 及び V_{TE} とすると、不揮発性メモリ素子の極性がNチャンネルであるから、

$$V_{TW} < V(L_X) < V_{TE} < V(H_X)$$

となる。ただし、書き込み・消去時における記憶素子の印加電圧の極性によって、ここでは浮遊ゲートから電荷注入領域へ電子を放出した状態を書込み状態、浮遊ゲートへ電荷注入領域から電子を注入した状態を消去状態と称す。従って、不揮発性メモリ素子は、書き込み状態では素子選択用アドレス線が高レベル H_X でも低レベル L_X でもオン状態であるが、消去状態では素子選択用アドレス線が高レベル H_X のときはオン状態、低レベル L_X のときはオフ状態になる。

先ず、記憶素子 $M_{j+1,k}$ を読出す場合を例として

を読出すことが出来る。

読出し用選択トランジスタ $Q_{1,k+1}$ は、読出し書き込み用選択アドレス線 Z_1 が高レベル H_Z 例えば5V程度のため、オン状態になっているが、読出し用ビット線 Y_{k+1} が低レベル L_Y 例えば0V又は開放であり、読出し用ビット線 Y_{k+1} に電流は流れない。しかし、書き込み用選択トランジスタ $P_{1,k}, P_{1,k+1}$

がオン状態で、書き込み用ビット線 W_k, W_{k+1} が開放で、しかも記憶素子 $M_{j+1,k}, M_{j+1,k+1}$ の制御ゲートが低レベル L_X 例えば0V、記憶素子 $M_{j,k}, M_{j+2,k}, M_{j+2,k}, M_{j,k+1}, M_{j+2,k+1}$ 及び $M_{j+3,k+1}$ の制御ゲートが高レベル H_X 例えば5V程度になっているので、記憶素子 $M_{j,k} \sim M_{j+3,k}$ 及び $M_{j,k+1} \sim M_{j+3,k+1}$ の各々の電荷注入型半導体素子の浮遊ゲートと電荷注入領域との間に電位差が生じ、その電位差が大きいと浮遊ゲートと電荷注入領域との間で好ましくない電荷の注入現象が起る虞れがある。この時、この浮遊ゲートと電荷注入領域との電位差は素子選択用アドレス線 $X_{1,j} \sim X_{1,j+3}$ の電位、記憶素子の制御ゲート・浮遊ゲート間容量、

読出しの駆動方法を説明すると、第1表に示すように、読出し書き込み用アドレス線 Z_1 を高レベル H_Z 例えば5V程度にして読出し用選択トランジスタ $Q_{1,k}$ をオン状態にし、素子選択用アドレス線 $X_{1,j}, X_{1,j+1}$ 及び $X_{1,j+3}$ を高レベル H_X 例えば5V程度にして記憶素子 $M_{j,k}, M_{j+1,k}$ 及び $M_{j+3,k}$ の各々の不揮発性メモリ素子をオン状態にし、素子選択用アドレス線 $X_{1,j+2}$ を低レベル L_X 例えば0Vにし、読出し用ビット線 Y_k を高レベル H_Y 、例えば1V程度にする。この場合、ソース線 S は、通常、基準電位例えば接地電位の0Vにする。従って、記憶素子 $M_{j+1,k}$ が書き込み状態であれば、不揮発性メモリ素子がオン状態となり、読出し用ビット線 Y_k に電流が流れるが、記憶素子 $M_{j+1,k}$ が消去状態の場合には、不揮発性メモリ素子がオフ状態となり、読出し用ビット線 Y_k に電流は流れない。そこで、記憶素子 $M_{j+1,k}$ の書き込み状態及び消去状態をそれぞれ2進情報の「1」及び「0」に対応させれば、読出し用ビット線 Y_k の電流の有無を検出することによって記憶素子 $M_{j+1,k}$ に記憶された情報の内容

電荷注入型半導体素子の浮遊ゲート・電荷注入領域間容量及び電荷注入領域・半導体基板間容量等により決るので、電荷注入領域・半導体基板間容量を適当な値に選ぶ等して好ましくない電荷の注入現象が起らない程度にその電位差を十分に小さくする必要がある。

更に、読出し書き込み用アドレス線 Z_{1+1} 及び素子選択用アドレス線 $X_{1+1,j+1} \sim X_{1+1,j+3}$ は、記憶素子 $M_{j+1,k}$ の読出しに直接関係しないので、低レベル L_Z 及び L_X 例えば0Vにして記憶素子 $M_{j+1,k} \sim M_{j+3,k}$ 及び $M_{j+1,k+1} \sim M_{j+3,k+1}$ を読出し用ビット線 Y_k, Y_{k+1} 及び書き込み用ビット線 W_k, W_{k+1} から開放すると伴に浮遊ゲートと電荷注入領域との間の好ましくない電荷の注入現象が起るのを防止する必要がある。

次に、書き込み・消去時の駆動方法について、1ビットの書き込み、1ビットの消去及び複数ビットの消去それぞれの場合について説明する。

記憶素子 $M_{j+1,k}$ の書き込みを例に1ビットの書き込みの駆動方法を説明すると、第1表に示すように、

読出し書き込み用アドレス線 Z_1 を高レベル H_z' 例えば 2.0 V 程度にして書き込み用選択トランジスタ $P_{1,k}$ をオン状態にし、素子選択用アドレス線の $X_{1,j+1}$ のみを低レベル L_x' 例えば 0 V にし、残りの $X_{1,j}$, $X_{1,j+1}$ 及び $X_{1,j+2}$ を高レベル H_x' 例えば 2.0 V 程度にし、書き込み用ビット線 W_k を高レベル H_w 例えば 2.0 V 程度にする。その結果、書き込み用選択トランジスタ $P_{1,k}$ に接続した電荷注入領域が高レベル H_w 例えば 2.0 V 程度になり、記憶素子 $M_{j+1,k}$ の制御ゲートが低レベル L_x' 例えば 0 V になるので、書き込み前の記憶素子 $M_{j+1,k}$ が消去の状態であれば、浮遊ゲートと電荷注入領域との間の電位差によって電荷注入型半導体素子のトンネル絶縁膜を介した浮遊ゲートと電荷注入領域との間に大きな電界を生じ浮遊ゲートから電子が放出され記憶素子 $M_{j+1,k}$ の不揮発性メモリ素子のしきい電圧が消去状態の V_{TE} から書き込み状態の V_{TW} へ移る。ただし、書き込み前の記憶素子 $M_{j+1,k}$ が書き込み状態であればそのままの状態を維持する。

ここで、記憶素子 $M_{j+1,k}$ の書き込みに直接関係の

例えば 2.0 V 程度にし、残りの $X_{1,j}$, $X_{1,j+2}$ 及び $X_{1,j+3}$ を低レベル L_x' 例えば 0 V にし、書き込み用ビット線 W_k を低レベル L_w 例えば 0 V にする。その結果、書き込み時と同様に、記憶素子 $M_{j+1,k}$ の制御ゲートと電荷注入領域との間に電圧が印加される。ただし、書き込み時と極性が逆になる。したがって、消去前の記憶素子 $M_{j+1,k}$ が書き込み状態であれば、書き込み時とは逆に、トンネル絶縁膜を介して電荷注入領域から浮遊ゲートへ電子が注入され、不揮発性メモリ素子のしきい電圧が書き込み状態の V_{TW} から消去状態の V_{TE} へ移る。勿論、消去前の記憶素子 $M_{j+1,k}$ が消去状態であればそのままの状態を維持する。

また、この記憶素子 $M_{j+1,k}$ の消去に直接関係のない読出し書き込み用アドレス線 Z_{i+1} 、読出し用ビット線 Y_k 及び Y_{k+1} 、書き込み用ビット線 W_{k+1} 、素子選択用アドレス線 $X_{1+1,j+1} \sim X_{1+1,j+7}$ 及びソース線 S は前記書き込みと同様である。

浮遊ゲートと電荷注入領域との間の好ましくない電荷の注入現象についても書き込みと同様電位差

のない読出し書き込み用アドレス線 Z_{i+1} は低レベル L_x' 例えば 0 V に、読出し用ビット線 Y_k 及び Y_{k+1} は高レベル H_y 例えば 1 V 又は低レベル L_y 例えば 0 V 又は開放に、書き込み用ビット線 W_{k+1} は開放にそれぞれ設定されている。ソース線 S は開放でも基準電位例えば接地電位の 0 V でも良い。

また、書き込み用選択トランジスタ $D_{1,k+1}$ がオン状態で、書き込み用ビット線 W_{k+1} が開放であるために、記憶素子 $M_{j,k+1} \sim M_{j+1,k+1}$ の電荷注入型半導体素子の浮遊ゲートと電荷注入領域との間に電位差を生じ、好ましくない電荷の注入現象が起る虞れがあるので、前記読出しの場合に説明したように好ましくない電荷の注入現象が起きない程度に電位差を小さくすることが必要である。この事は後述の消去についても同様である。

1 ビットの消去すなわち記憶素子 $M_{j+1,k}$ の消去には、第 1 表に示すように、読出し書き込み用アドレス線 Z_i を高レベル H_z' 例えば 2.0 V 程度にして書き込み用選択トランジスタ $P_{1,k}$ をオン状態にし、素子選択用アドレス線の $X_{1,j+1}$ のみを高レベル H_x'

を小さくすることが必要である。

複数ビットの消去すなわち記憶素子 $M_{j+1,k}$ 及び $M_{j+1,k+1}$ の消去は、第 1 表に示すように、書き込み用ビット線 W_{k+1} が低レベル L_w 例えば 0 V であることを除いて 1 ビットの消去と同様である。

第 7 図は記憶素子を構成する不揮発性メモリ素子の時間-しきい電圧特性図である。

書き込み時には、記憶素子の制御ゲート及び電荷注入領域にそれぞれ低レベル L_x' 例えば 0 V 及び高レベル H_w' 例えば 2.0 V の電圧を印加する。そして、電圧の印加前の記憶素子の状態が消去状態であれば、浮遊ゲートと電荷注入領域との間のトンネル絶縁膜に大きな電界が生じ、その電界によって浮遊ゲートから電荷注入領域へ電子の放出が始まる。この電子の放出の割合は、電界が大きい最初のうちは比較的大きいが、電子の放出につれて徐々に電界が小さくなるのでそれに伴って減少する。従って、記憶素子を構成する不揮発性メモリ素子のしきい電圧 V_T は、第 7 図の書き込み時の曲線で示すように、消去状態のしきい電圧 V_{TE} から

比較的急速に減少し、そして徐々に書き込み状態のしきい電圧 V_{TW} に漸近するように変化をする。

消去時は、制御ゲートに高レベル H_X' 例えば 20V、電荷注入領域に低レベル L_W' 例えば 0V がかかり、書き込み時と極性が逆になるので、電荷注入領域から浮遊ゲートへ電子が注入され、しきい電圧 V_T は消去時の曲線で示すように変化する。

ここで、脱出し時の素子選択用アドレス線の低レベル L_X に対応する電圧 $V(L_X)$ が 0V に一致していないが、前述のように

$$V_{TW} < V(L_X) < V_{TE} < V(H_X)$$

という条件を満足すれば良いという意味で敢て 0V にしていない。

第8図は本発明の他の実施例の回路図である。

第8図に示すように、本発明の他の実施例の回路図は、ノーマリオン型脱出し用選択トランジスタ Q_M とノーマリオフ型脱出し用選択トランジスタ Q_L とを直列に接続し、ノーマリオフ型脱出し用選択トランジスタ Q_L とソース線 S との間に4個の不揮発性メモリ素子を列に並べてこれを直列

脱出し用選択トランジスタ Q_L のゲートとノーマリオン型書き込み用選択トランジスタ P_L のゲートとを行ごとに共通に接続してこれを脱出し用選択アドレス線 Z_L とし、不揮発性メモリ素子の制御ゲートを行ごとに接続しこれを素子選択用アドレス線 X としてなる。

以上説明したように、本発明の実施例では、電荷注入型半導体素子をファウラー・ノルトハイム (Fowler-Nordheim) のトンネル現象を利用した半導体素子とし、記憶セルに含まれる記憶素子の数を4個とし、回路素子の極性をNチャネルとしているが、勿論本発明はこれに限ることはなく、電荷注入型半導体素子としてアバランシェ注入型の半導体素子を使用しても、記憶セル内の記憶素子の数をもっと増しても、あるいはPチャネルの回路素子を用いても良いことは明らかである。

また、実施例の説明の中で、浮遊ゲートから電荷注入領域へ電子を放出した状態を記憶素子の書き込み状態、浮遊ゲートへ電荷注入領域から電子が注入した状態を消去状態としているが勿論その逆

に接続し、不揮発性メモリ素子と同数の電荷注入型半導体素子をその電荷注入領域を共通に接続して不揮発性メモリ素子の列と平行に配置しかつ1対1対応する不揮発性メモリ素子の浮遊ゲートと電荷注入型半導体素子の浮遊ゲートとを接続し、行ごとに1対1対応する不揮発性メモリ素子1個と電荷注入型半導体素子1個とで記憶素子 M を構成し、4個の記憶素子 M の列を記憶セル R としてこれを行列に配置し、不揮発性メモリ素子をノーマリオン型脱出し用選択トランジスタ Q_M とノーマリオフ型脱出し用選択トランジスタ Q_L 介して脱出し書き込み用ビット線 Y_L に接続し、電荷注入型半導体素子の電荷注入領域を直列に接続したノーマリオン型書き込み用選択トランジスタ P_L とノーマリオフ型書き込み用選択トランジスタ P_M を介して脱出し書き込み用ビット線 Y_L に接続し、ノーマリオン型脱出し用選択トランジスタ Q_M のゲートとノーマリオフ型書き込み用選択トランジスタ P_M のゲートとを行ごとに共通に接続してこれを書き込み用選択アドレス線 Z_M とし、ノーマリオフ型脱

でも構わないし、説明の中で例示した信号レベルの電圧値も特にその値に限るものではない。

更に、前述の実施例では、脱出し用選択トランジスタと書き込み用選択トランジスタが独立した例を説明しているが、従来例同様に、脱出し用と書き込み用を兼ねた脱出し書き込み用選択トランジスタを使っても良いことは明らかである。この場合には、しかし、記憶セルを複数の記憶素子で構成出来る事を除き脱出し用と書き込み用の回路の分離による利点は失われる。

〔発明の効果〕

以上説明したように本発明は、記憶素子を不揮発性メモリ素子と電荷注入型半導体素子とで構成し、記憶セルを複数の記憶素子で構成できる構造とし、しかも脱出しと書き込みを独立して駆動できるようにしたので次のような効果がある。

(1) 記憶素子1個に選択トランジスタが1個付く従来の不揮発性半導体装置に比べて、記憶セルが複数の記憶素子で構成出来るので記憶素子以外の占有面積の割合が小さくなり、高記憶密度

を要求される大容量の不揮発性半導体記憶装置の実現が可能である。

(2) 記憶内容を読出す時に、読出し用のビット線と電荷注入領域とが電氣的に切離されるので、読出し用のビット線の信号電位による浮遊ゲートと電荷注入領域との電位差を無くし、誤動作すなわち好ましくない書き込み又は消去現象が起るのを防止出来る。

(3) 書き込み時に、記憶素子の不揮発性メモリ素子がデプレッション型すなわちノーマリオン状態になっても、書き込み用のビット線と不揮発性メモリ素子との接続を切離することが出来るので、従来の不揮発性半導体記憶装置のようにチャネル電流を遮断する為の回路をソース線とソース電源又はアースとの間に入れる必要がない。

その他、本発明の一実施例の回路では、書き込みの時に、読出し用ビット線に電圧を印加して不揮発性メモリ素子のチャネル電流を監視すれば書き込み状態を見ることが出来るし、又、他の実施例の回路では、読出し用ビット線と書き込み用ビット線

が一緒になっているのでその分だけ面積効率が良く記憶密度の向上がはかれる等の効果がある。

4. 図面の簡単な説明

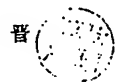
第1図は本発明の一実施例の回路図、第2図は第1図に示す回路を半導体基板に形成したものの平面図、第3図は第2図のA-A線断面図、第4図は第2図のB-B線断面図、第5図は第2図のC-C線断面図、第6図は第4図のE部を拡大した模式的断面図、第7図は記憶素子を構成する不揮発性メモリ素子の時間-しきい電圧特性、第8図は本発明の他の実施例の回路図、第9図は従来の不揮発性半導体記憶装置の一例の回路図、第10図は第9図に示す回路のFの部分半導体基板に形成したものの断面図である。

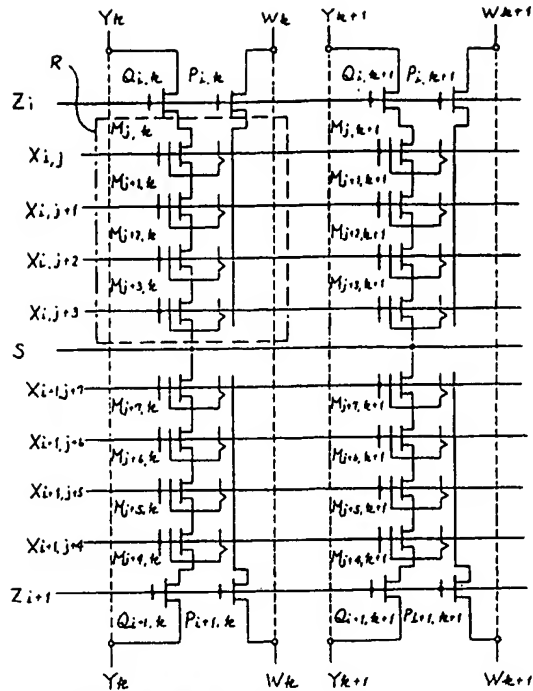
$C_{C1} \sim C_{C6}$ 制御ゲート・浮遊ゲート間容量、 C_{DS} 電荷注入領域・半導体基板間容量、 $C_{F1} \sim C_{F4}$ 浮遊ゲート・電荷注入領域間容量、 M 、 MN 記憶素子、 P 書き込み用選択トランジスタ、 PL ノーマリオン型書き込み用選択トラ

ンジスタ、 PM ノーマリオン型書き込み用選択トランジスタ、 Q 読出し用選択トランジスタ、 QL ノーマリオン型読出し用選択トランジスタ、 QM ノーマリオン型読出し用選択トランジスタ、 QN 読出し書き込み用選択トランジスタ、 R 記憶セル、 S ソース線、 t 時間、 $V(H_X)$ 信号レベル H_X の電圧、 $V(L_X)$ 信号レベル L_X の電圧、 V_T しきい電圧、 V_{TE} 消去状態のしきい電圧、 V_{TW} 書き込み状態のしきい電圧、 W 書き込み用ビット線、 X, XN 素子選択用アドレス線、 Y 読出し用ビット線、 YL, YN 読出し書き込み用ビット線、 Z 読出し書き込み用選択アドレス線、 ZL 読出し用選択アドレス線、 ZM 書き込み用選択アドレス線、 21 読出し用ビット線の電極、 22 書き込み用ビット線の電極、 23 読出し書き込み用選択アドレス線、 $24a \sim 24d$ 素子選択用アドレス線、 $25a \sim 25d$ 浮遊ゲート、 $26a \sim 26d$ トンネル絶縁膜、 27 ソース領域、 $28a \sim 28d$ 第1絶

縁膜、 $29a \sim 29d$ 第2絶縁膜、 30 ゲート絶縁膜、 31 半導体基板、 $32a \sim 32d$ 接続領域、 33 読出し用領域、 34 絶縁膜、 35 電荷注入領域、 36 書き込み用領域、 $37a \sim 37d$ 第1絶縁膜、 $38a \sim 38d$ 第2絶縁膜、 39 ゲート絶縁膜、 40 空乏層、 41 読出し書き込み用ビット線の電極、 42 読出し書き込み用選択アドレス線、 43 素子選択用アドレス線、 44 浮遊ゲート、 45 読出し書き込み用領域、 46 電荷注入領域、 47 ソース領域、 48 絶縁層、 49 ゲート絶縁膜、 50 トンネル絶縁膜、 51 第1絶縁膜、 52 第2絶縁膜、 53 半導体基板。

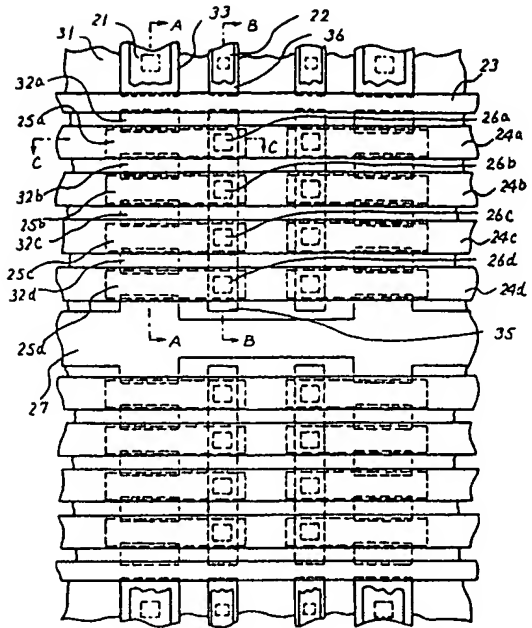
代理人 弁理士 内 原 晋





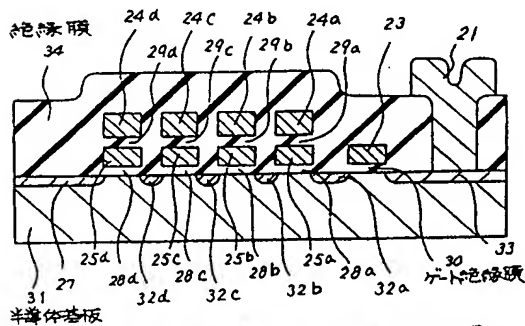
M記憶素子、P書き込み用選択トランジスタ、
Q読出し用選択トランジスタ、R記憶セル、Sソース線、
W書き込み用ビット線、X素子選択用アドレス線、
Y読出し用ビット線、Z読出し書き込み用選択アドレス線。

第1図



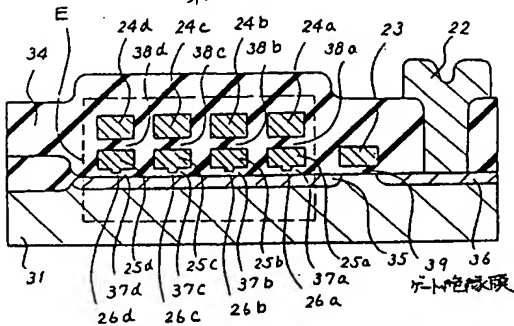
21 読出し用ビット線の電極、22 書き込み用ビット線の電極、
23 読出し書き込み用選択アドレス線、24a~24d 素子選択用
アドレス線、25a~25d 浮遊ゲート、26a~26d ノード電極膜、
27 ソース領域、31 半導体基板、32a~32d ゲート領域、
33 読出し用領域、35 電荷注入領域、36 書き込み用領域。

第2図



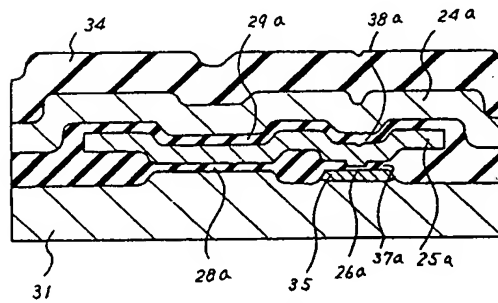
28a~28d 第1絶縁膜、29a~29d 第2絶縁膜。

第3図

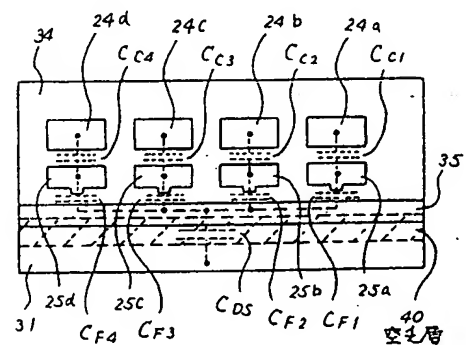


37a~37d 第1絶縁膜、38a~38d 第2絶縁膜。

第4図



第5図



第6図

6. 補正の対象

明細書の特許請求の範囲の欄および発明の詳細な説明の欄

7. 補正の内容

- (1) 明細書の特許請求の範囲の記載を別紙のとおり訂正いたします。
- (2) 明細書第7頁、15行目の記載「なる。」の後に行を改めて下記の文を挿入いたします。

「さらに本発明の不揮発性半導体記憶装置は、一導電型の半導体基体の所定の領域に設けられた該基体と反対導電型の不純物拡散層と、該不純物拡散層上の一部に設けられたトンネル絶縁膜領域と、該トンネル絶縁膜領域を覆う浮遊ゲート電極からなる電荷注入領域と、前記基体の所定の領域に設けられたチャンネル領域と、該チャンネル領域を挟むソース・ドレイン領域と、該チャンネル領域の少なくとも一部を覆う浮遊ゲート電極と該浮遊ゲート電極を少なくとも覆う制御ゲート電極からなる不揮発性メモリ素子

とを有し、

該不揮発性メモリ素子を複数個直列に接続した列と、前記不揮発性メモリ素子と同数の電荷注入領域を共通に接続した列を前記不揮発性メモリ素子の浮遊ゲート電極と1対1対応する前記電荷注入領域の浮遊ゲート電極とを接続し、かつ前記不揮発性メモリ素子の列と平行に配置し、前記不揮発性メモリ素子の列に直列に第1のMOS型トランジスタを接続し前記電荷注入領域の列に直列に第2のMOS型トランジスタを接続し、かつ前記第1、第2のMOS型トランジスタのゲート電極を接続してなる。」

8. 添付書類

別紙(訂正後の特許請求の範囲) 1 通

代理人 弁理士 内 原 晋



訂正後の特許請求の範囲

「(1) 複数の不揮発性メモリ素子を直列に接続した列と、前記不揮発性メモリ素子と同数の電荷注入型半導体素子とその電荷注入領域を共通に接続して前記不揮発性メモリ素子の列と平行に配置し、かつ1対1対応する前記不揮発性メモリ素子の浮遊ゲートと前記電荷注入型半導体素子の浮遊ゲートとを接続した列とからなる記憶セルを行列に配置し、前記記憶セルと読出し書込み用ビット線との間に該読出し書込み用ビット線と前記不揮発性メモリ素子及び又は前記電荷注入領域との接続を読出し書込み用選択信号によって制御する選択回路を配置し、前記不揮発性メモリ素子の制御ゲートを行ごとに共通に接続してこれを素子選択用アドレス線としたことを特徴とする不揮発性半導体記憶装置。

(2) 一導電型の半導体基体の所定の領域に設けられた該基体と反対導電型の不純物領域と、該

不純物領域上の一部に設けられたトンネル絶縁膜領域と、該トンネル絶縁膜領域を覆う浮遊ゲート電極からなる電荷注入領域と、前記基体の所定の領域に設けられたチャンネル領域と、該チャンネル領域を挟むソース・ドレイン領域と該チャンネル領域の少なくとも一部を覆う浮遊ゲート電極と、該浮遊ゲート電極を少なくとも覆う制御ゲート電極からなる不揮発性メモリ素子とを有し、該不揮発性メモリ素子を複数個直列に接続した列と、前記不揮発性メモリ素子と同数の電荷注入領域を共通に接続した列を前記不揮発性メモリ素子の浮遊ゲート電極と1対1対応する前記電荷注入領域の浮遊ゲート電極とを接続し、かつ前記不揮発性メモリ素子の列と平行に配置し、前記不揮発性メモリ素子の列に直列に第1のMOS型トランジスタを接続し、前記電荷注入領域の列に直列に第2のMOS型トランジスタを接続し、かつ前記第1、第2のMOS型トランジスタのゲート電極を接続したことを特徴とする不揮発性半導体記憶装置。」